

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-213392

(43)Date of publication of application : 20.08.1996

---

(51)Int.Cl. H01L 21/3205  
H01L 21/316  
H01L 21/764  
H01L 21/768

---

(21)Application number : 07-014831 (71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 01.02.1995 (72)Inventor : AOKI HIROSHI

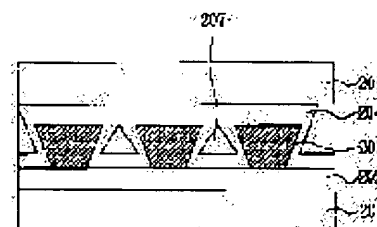
---

## (54) SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE

### (57)Abstract:

**PURPOSE:** To provide a semiconductor element in which the capacitance at each slit between wires is reduced by not completely covering the slits with a silicon oxide film, but forming void sections of the slits, and the manufacturing method of the element.

**CONSTITUTION:** The uppermost wiring 203 of a semiconductor element is formed in an inverted trapezoidal shape and void sections 207 are formed of a silicon oxide film 204 coating the wiring 203.



---

## LEGAL STATUS

[Date of request for examination] 20.02.2001

[Date of sending the examiner's decision of rejection] 01.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-213392

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/316	B			
21/764				

H 0 1 L 21/ 88	B
21/ 76	A

審査請求 未請求 請求項の数3 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平7-14831

(22) 出願日 平成7年(1995)2月1日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 青木 浩

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

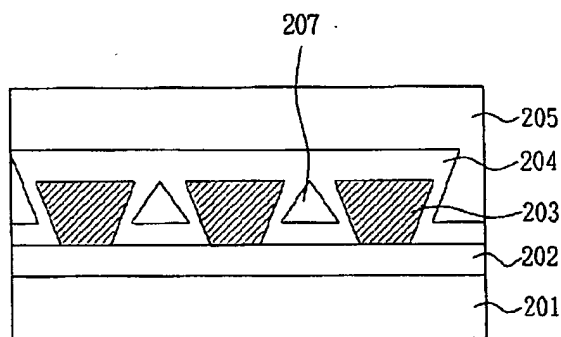
(74) 代理人 弁理士 清水 守 (外1名)

(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】

【目的】 配線間のスリットがシリコン酸化膜ですべて被われておらず、中に空洞部を形成することにより、配線間のスリットにおける寄生容量の減少を図る半導体素子及びその製造方法を提供する。

【構成】 半導体素子において、最上層配線203が逆台形状をしており、かつ、該最上層配線203を被うシリコン酸化膜204により空洞部207を形成する。



201 : 半導体基板

202 : 絶縁膜

203 : 最上層配線 (逆台形)

204 : シリコン酸化膜 (常圧CVD法)

205 : シリコン窒化膜

207 : 空洞部 (常圧)

## 【特許請求の範囲】

【請求項1】 最上層配線が逆台形状をしており、かつ、該最上層配線を被うシリコン酸化膜により空洞部が形成されていることを特徴とする半導体素子。

【請求項2】 (a) 半導体基板上に絶縁膜を形成し、この絶縁膜上に逆台形となるように最上層配線を形成する工程と、(b) シリコン酸化膜を常圧CVD法により形成する工程と、(c) シリコン酸化膜を最小スリット部の上部において接触させ、該最小スリット部に空洞部を形成工程と、(d) 最終保護膜となるシリコン窒化膜を形成する工程とを順次施すことを特徴とする半導体素子の製造方法。

【請求項3】 (a) 半導体基板上に絶縁膜を形成し、この絶縁膜上に逆台形となるように最上層配線を形成する工程と、(b) シリコン酸化膜を減圧CVD法により形成する工程と、(c) シリコン酸化膜を最小スリット部の上部において接触させ、該最小スリット部に空洞部を形成工程と、(d) 最終保護膜となるシリコン窒化膜を形成する工程とを順次施すことを特徴とする半導体素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体素子及びその製造方法に係り、特にその最終保護膜の構造及びその製造方法に関するものである。

## 【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、以下に示すようなものがあった。図4はかかる従来の半導体素子の断面図である。この図において、半導体基板101上には絶縁膜102が形成され、この絶縁膜102上に最上層の配線パターン103が形成された後に、最終保護膜105が生成されるのが一般的である。

【0003】 この最終保護膜105としては、耐水性に優れたシリコン窒化膜が多く使われている。

## 【0004】

【発明が解決しようとする課題】 しかしながら、上記した従来の最上層配線の場合、隣り合った配線間を考えると、配線間にシリコン窒化膜105が存在する寄生容量108が形成される。このシリコン窒化膜105は誘電率が7.5と、シリコン酸化膜3.9に比較して大きく、特に、最小スリット部ではこの寄生容量108により伝送される信号の伝達スピードの低下を引き起こし、タイミングがずれることにより、技術的に満足できるものが得られなかった。

【0005】 つまり、シリコン窒化膜以外の材料を使用した場合、十分な耐水性が得られず信頼性の低下をもたらすという問題点があった。本発明は、上記問題点を除去し、配線間のスリットがシリコン酸化膜ですべて被われておらず、中に空洞部を形成することにより、配線間

のスリットにおける寄生容量の減少を図り得る半導体素子及びその製造方法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明は、上記目的を達成するために、

(1) 請求項1記載の半導体素子において、最上層配線203が逆台形状をしており、かつ、その最上層配線203を被うシリコン酸化膜204により、空洞部207が形成されるようにしたものである。

10 【0007】 (2) 請求項2記載の半導体素子の製造方法において、半導体基板201上に絶縁膜202を形成し、この絶縁膜202上に逆台形となるように最上層配線203を形成する工程と、次いで、シリコン酸化膜204を常圧CVD法により形成する工程と、次に、シリコン酸化膜204を最小スリット部の上部において接触させ、この最小スリット部に空洞部207を形成工程と、次に、最終保護膜となるシリコン窒化膜205を形成する工程とを施すようにしたものである。

20 【0008】 (3) 請求項3記載の半導体素子の製造方法において、半導体基板201上に絶縁膜202を形成し、この絶縁膜202上に逆台形となるように最上層配線203を形成する工程と、次いで、シリコン酸化膜301を減圧CVD法により形成する工程と、次に、シリコン酸化膜301を最小スリット部の上部において接触させ、この最小スリット部に空洞部302を形成工程と、次に、最終保護膜となるシリコン窒化膜303を形成する工程とを施すようにしたものである。

## 【0009】

【作用】 本発明によれば、上記のように構成したので、

30 (1) 配線間のスリットがシリコン酸化膜ですべて被われておらず、中に空洞部が形成されるため、配線間のスリットにおける寄生容量の減少を図ることができる。

【0010】 (2) シリコン酸化を常圧CVD法で形成しているため、逆台形部上面及び角での生成レートが大きく膜厚が厚くなるため、スリット側壁及び底部での膜厚を薄くすることができ、空洞部が大きくなるため寄生容量を、更に低減することができる。

(3) シリコン酸化膜を減圧CVD法で形成しているため、空洞部での余分なガスが少なく、より真空中に近い状態となり、その後の熱処理での膨張を抑えることができる。

## 【0011】

【実施例】 本発明の実施例について図を参照しながら説明する。図1は本発明の第1実施例を示す半導体素子の断面図である。この図において、201は半導体基板、202はその半導体基板201上に形成される絶縁膜、203は最上層配線、204はシリコン酸化膜、205はシリコン窒化膜、207は空洞部である。

【0012】 この実施例では、最上層配線203は、逆台形の形状をしており、かつ、スリットはすべてシリコ

3

ン酸化膜 204 で埋め込まれず、中に空洞部 207 が形成されている。以下、本発明の第 1 実施例を示す半導体素子の製造方法について説明する。図 2 は本発明の第 1 実施例を示す半導体素子の製造工程断面図である。

【0013】(1) まず、図 2 (a) に示すように、半導体基板 201 上に絶縁膜 202 を形成し、この絶縁膜 202 上に最上層配線 203 を形成する。この時、最上層配線 203 を逆台形となるように形成する。

(2) 次に、図 2 (b) に示すように、シリコン酸化膜 204 を常圧 CVD 法により形成する。

【0014】(3) 次に、図 2 (c) に示すように、シリコン酸化膜 204 を最小スリット部の上部において接触させる。

(4) この後は、反応ガスがスリット部へは入らないため、図 2 (d) に示すように、スリット部に空洞部 207 が形成される。

(5) しかる後に、図 2 (e) に示すように、最終保護膜となるシリコン窒化膜 205 を CVD 法において形成することにより、本発明の半導体素子を得ることができる。

【0015】次に、本発明の第 2 実施例を示す半導体素子の製造方法について説明する。図 3 は本発明の第 2 実施例を示す半導体素子の製造工程断面図である。

(1) まず、図 3 (a) に示すように、半導体基板 201 上に絶縁膜 202 を形成し、この絶縁膜 202 上に最上層配線 203 を形成する。この時、最上層配線 203 を逆台形となるように形成する。

【0016】(2) 次に、図 3 (b) に示すように、シリコン酸化膜 301 を減圧 CVD 法により形成する。

(3) 次に、図 3 (c) に示すように、シリコン酸化膜 301 を最小スリット部の上部において接触させる。

(4) この後は、反応ガスがスリット部へは入らないため、図 3 (d) に示すように、スリット部に空洞部 302 が形成される。

【0017】(5) しかる後に、図 3 (e) に示すように、最終保護膜となるシリコン窒化膜 303 を CVD 法において形成することにより、本発明の半導体素子を得ることができる。

この実施例においては、シリコン酸化膜 301 を減圧 CVD 法において、形成するようにしたので、減圧雰囲気

4

のため、常圧 CVD 法での生成時と比較して、空洞部 302 のガス圧力を小さくすることができる。

【0018】なお、本発明は上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0019】

【発明の効果】以上、詳細に説明したように、

(1) 請求項 1 記載の発明によれば、配線間のスリットがシリコン酸化膜ですべて被われておらず、中に空洞部が形成されるため、配線間のスリットにおける寄生容量の減少を図ることができる。

【0020】(2) 請求項 2 記載の発明によれば、シリコン酸化を常圧 CVD 法で形成しているため、逆台形部上面及び角での生成レートが大きく膜厚が厚くなるため、スリット側壁及び底部での膜厚を薄くすることができ、空洞部が大きくなるため寄生容量を更に低減することができる。

(3) 請求項 3 記載の発明によれば、シリコン酸化膜を減圧 CVD 法で形成しているため、空洞部での余分なガスが少なく、より真空中に近い状態となり、その後の熱処理での膨張を抑えることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例を示す半導体素子の断面図である。

【図 2】本発明の第 1 実施例を示す半導体素子の製造工程断面図である。

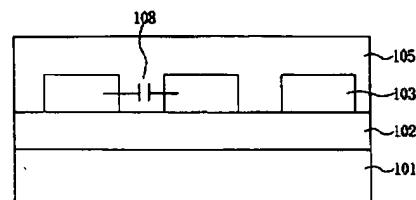
【図 3】本発明の第 2 実施例を示す半導体素子の製造工程断面図である。

【図 4】従来の半導体素子の断面図である。

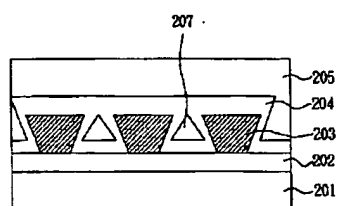
【符号の説明】

201 半導体基板  
202 絶縁膜  
203 最上層配線 (逆台形)  
204 シリコン酸化膜 (常圧 CVD 法)  
205, 303 シリコン窒化膜  
207 空洞部 (常圧)  
301 シリコン酸化膜 (減圧 CVD 法)  
302 空洞部 (ガス圧小)

【図 4】

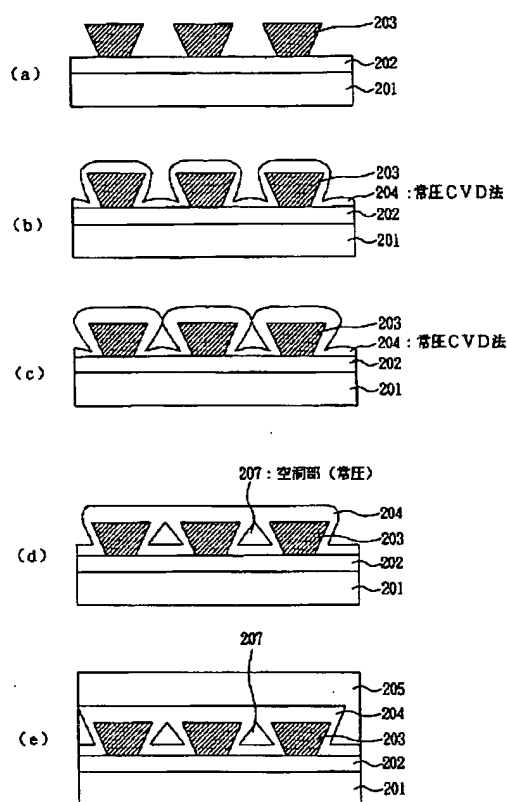


【図1】

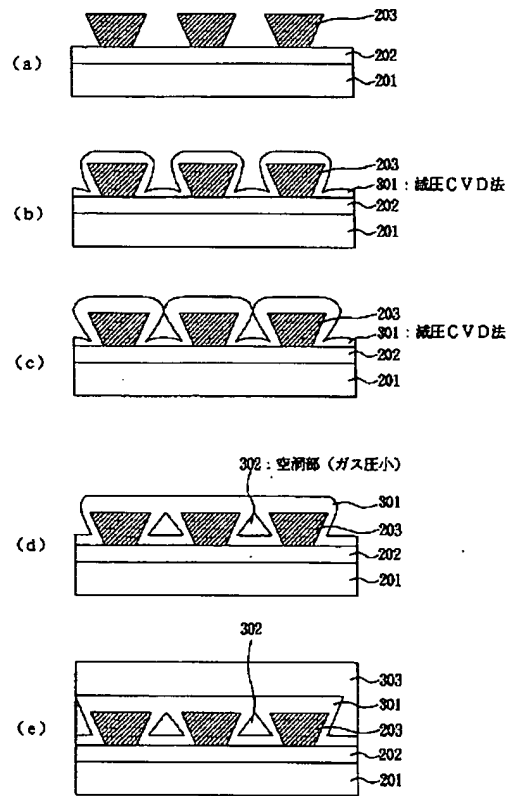


201: 半導体基板  
 202: 絶縁膜  
 203: 最上層配線 (逆台形)  
 204: シリコン酸化膜 (常圧CVD法)  
 205: シリコン窒化膜  
 207: 空洞部 (常圧)

【図2】



【図3】



フロントページの続き

(51)Int.Cl.<sup>6</sup>  
H01L 21/768

識別記号 庁内整理番号

F I

技術表示箇所

H01L 21/90

V